

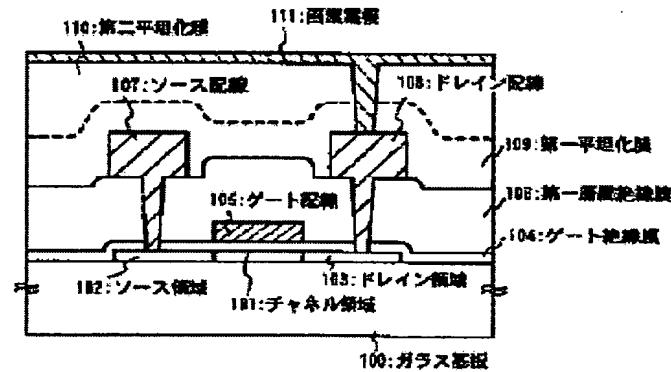
## METHOD OF MANUFACTURING OPTOELECTRONIC DEVICE

**Patent number:** JP2001284342  
**Publication date:** 2001-10-12  
**Inventor:** NAGAO RITSUKIKO; MURAKAMI TOMOHITO;  
NAKAZAWA MISAKO  
**Applicant:** SEMICONDUCTOR ENERGY LAB  
**Classification:**  
- **international:** G02F1/1333; G09F9/30; H01L21/312; H01L21/316;  
H01L21/768; H01L29/786; G02F1/13; G09F9/30;  
H01L21/02; H01L21/70; H01L29/66; (IPC1-7):  
H01L21/312; G02F1/1333; G09F9/30; H01L21/316;  
H01L21/768; H01L29/786  
- **european:**  
**Application number:** JP20010013099 20010122  
**Priority number(s):** JP20010013099 20010122; JP20000016309 20000125

[Report a data error here](#)

### Abstract of JP2001284342

**PROBLEM TO BE SOLVED:** To improve reliability of wiring and to ease orientation control of liquid crystal or to improve the reflectance of a reflection-type liquid-crystal display device. **SOLUTION:** A higher planarization coefficient can be obtained by forming a first planarization film which is thinner than a second planarization film in stacking the planarization films. Thereby, surface unevenness by steps is reduced and reflectance is improved.



Data supplied from the **esp@cenet** database - Worldwide

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開2001-284342

(P 2 0 0 1 - 2 8 4 3 4 2 A)

(43)公開日 平成13年10月12日 (2001. 10. 12)

(51) Int.Cl.	識別記号	F I	テーマコード (参考)
H01L 21/312		H01L 21/312	C
G02F 1/1333	505	G02F 1/1333	505
G09F 9/30	348	G09F 9/30	Z
H01L 21/316		H01L 21/316	G
21/768		21/90	J

審査請求 未請求 請求項の数 6 O L (全12頁) 最終頁に続く

(21)出願番号	特願2001-13099 (P 2001-13099)
(22)出願日	平成13年1月22日 (2001. 1. 22)
(31)優先権主張番号	特願2000-16309 (P 2000-16309)
(32)優先日	平成12年1月25日 (2000. 1. 25)
(33)優先権主張国	日本 (JP)

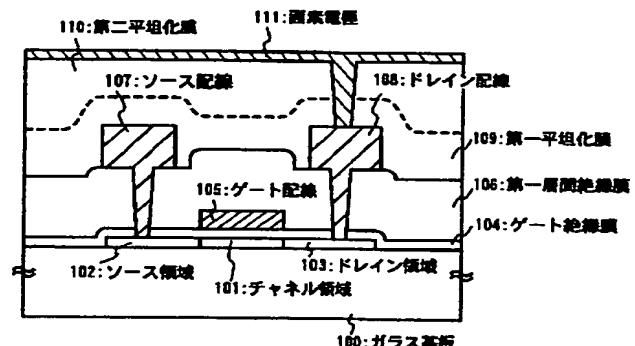
(71)出願人	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(72)発明者	長尾 里築子 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
(72)発明者	村上 智史 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
(72)発明者	仲沢 美佐子 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(54)【発明の名称】電気光学装置の作製方法

(57)【要約】

【課題】 配線の信頼性を向上させ、液晶の配向制御を容易にしあるいは反射型液晶表示装置の反射率を向上させる。

【解決手段】 平坦化膜を積層させる場合、第一平坦化膜の膜厚を第二平坦化膜の膜厚よりも薄く形成することによってより高い平坦化率が実現できる。このため段差による表面の凹凸が低減され、上記課題を解決できる。



## 【特許請求の範囲】

【請求項1】 配線の上方に形成される第一平坦化膜の膜厚は前記第一平坦化膜上に形成される第二平坦化膜の膜厚よりも薄く形成されることを特徴とする電気光学装置の作製方法。

【請求項2】 配線の上方に形成される第一平坦化膜の膜厚は前記第一平坦化膜上に形成される第二平坦化膜の膜厚よりも薄く形成されることを特徴とする電気光学装置の作製方法であって、前記第一平坦化膜の膜厚は0.

1 μm以上1. 5 μm未満であることを特徴とする電気光学装置の作製方法。

【請求項3】 配線の上方に形成される第一平坦化膜の膜厚は前記第一平坦化膜上に形成される第二平坦化膜の膜厚よりも薄く形成されることを特徴とする電気光学装置の作製方法であって、前記第二平坦化膜の膜厚は0. 1 μm以上2. 9 μm以下であることを特徴とする電気光学装置の作製方法。

【請求項4】 配線の上方に形成される第一平坦化膜の膜厚は前記第一平坦化膜上に形成される第二平坦化膜の膜厚よりも薄く形成されることを特徴とする電気光学装置の作製方法であって、前記第一平坦化膜の膜厚と前記第二平坦化膜の膜厚の和は0. 2 μm以上3. 0 μm以下であることを特徴とする電気光学装置の作製方法。

【請求項5】 配線の上方に形成される第一平坦化膜の膜厚は前記第一平坦化膜上に形成される第二平坦化膜の膜厚よりも薄く形成されることを特徴とする電気光学装置の作製方法であって、前記第一平坦化膜および前記第二平坦化膜はスピンドル法により形成される絶縁膜であることを特徴とする電気光学装置の作製方法。

【請求項6】 配線の上方に形成される第一平坦化膜の膜厚は前記第一平坦化膜上に形成される第二平坦化膜の膜厚よりも薄く形成されることを特徴とする電気光学装置の作製方法であって、前記第一平坦化膜および前記第二平坦化膜は、ポリイミド樹脂、アクリル樹脂、シロキサン構造を含む樹脂もしくは無機SOG(Spin on Glass)材料のいずれかからなることを特徴とする電気光学装置の作製方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、薄膜トランジスタ(以下、TFTという)をスイッチング素子として用いた電気光学装置の作製方法に関する。尚、電気光学装置は電気的な信号と光学的な情報との変換を行う装置である。電気光学装置として、液晶表示装置、EL表示装置、FED(フィールドエミッションディスプレイ)、イメージセンサおよびIC(集積回路)が含まれる。

## 【0002】

【従来の技術】 アクティブマトリクス型液晶表示装置は、ガラス等の透明基板上に形成されたTFTにより1画素ごとに液晶への電圧印加を制御するため、画像が鮮明であり、OA機器やTV等に広く用いられている。ま

た、文字や図形をより鮮明に表示するため、1画素のサイズを小さくして、いわゆる精細度を高くすることが要求されている。

【0003】 この近年の微細化に伴い、配線間の絶縁層としての層間絶縁膜は、高い絶縁性を有し、かつ製造プロセスにおいて配線の形成時に段差や断線等の発生が少なく生産性の優れた材料であることが要求されている。

【0004】 こうした層間絶縁膜材料の形成方法としては、CVDや蒸着といった真空系を必要とする成膜方法とスピンドル法との両方が検討されているが、生産性の面や段差被覆性(平坦性)の面からはスピンドル法が有利である。スピンドル法では、各絶縁材料もしくは前記絶縁材料の前駆体を溶媒に溶解させたワニスを基板上に吐出しスピンドルを回転させることによって均一に基板上に塗布する。さらに塗布された基板をオーブンやホットプレート等で焼成することによって絶縁膜を得ている。

【0005】 このとき膜厚は、スピンドル回転数、回転時間、ワニスの濃度および粘度によって制御される。またこのとき用いられる材料は、透明性、耐熱性、耐薫品性および熱膨張係数等の物性を考慮した上で、ポリイミド樹脂、アクリル樹脂、シロキサン構造を含む樹脂もしくは無機SOG(Spin on Glass)材料等を選択し用いることができる。低誘電性を重視すると有機材料を用いることが多い。

【0006】 また、平坦性を追求する場合、形成した絶縁膜に対しCMP(化学的機械研磨)を用いて完全平坦面を作ることも考えられるが、装置コストをはじめとし、実際には均一性や選択性の問題等、ガラス基板上のTFTには課題が多い。

【0007】 図2に、従来のアクティブマトリクス基板の断面を示す。ガラス基板100上に活性層(チャネル領域101、ソース領域102およびドレイン領域103を含む)、ゲート配線105、ソース配線107、およびドレイン配線108等の段差が存在している。前記段差を、第一平坦化膜109としてアクリル樹脂を代表とする平坦化樹脂を用いることにより、平坦化する。最後に、第一平坦化膜109上に画素電極111を形成し、アクティブマトリクス基板が作製される。

【0008】 次に、図3に示すように前記アクティブマトリクス基板を、液晶123を挟んで対向基板120を貼り合わせ、液晶表示装置を作製する。しかしながら、従来の平坦化膜の形成法では、平坦性は十分とは言えないため画素電極111の断線が危惧される。また画素電極111表面には前記段差による凹凸が残っており、前記凹凸部での液晶123の配向不良を引き起こしていた。

## 【0009】

【発明が解決しようとする課題】 配線の多層化に伴い、配線の形成時に段差や断線等の発生が予想される。本発

明の第1の課題は、アクティブマトリクス型表示装置において、段差による配線の断線を防止することにある。

【0010】また図2に示した従来構造では、基板100上に金属配線105、107が集積形成されており、平坦化膜109の平坦性が十分でない。このため図3のように画素電極111の表面凹凸によって液晶123に配向不良が生じ、均一な画像を得ることができなかつた。あるいは、前記表面凹凸によって生じる配向不良は、遮光パターンを設けることによって隠すことが可能であるが、遮光パターンを設けることで開口率が犠牲になっていた。本発明の第2の課題は、アクティブマトリクス型表示装置において、開口率を低下させずに液晶の配向制御を容易にし均一な画像表示を得ることにある。

【0011】アクティブマトリクス型液晶表示装置の中でも特に反射型液晶表示装置においては、画素電極111の表面の反射率が入射光の利用効率に大きく影響するため、反射率が高いほど輝度の高い画像表示が可能になる。即ち、図2、3のように表面の凹凸が大きい場合、入射光を散乱させてしまうため反射率を低下させてしまっていた。本発明の第3の課題は、反射型液晶表示装置において反射率を向上させることにある。

【0012】そして、上記第1の課題、第2の課題及び第3の課題を全て解決することにより、配線の信頼性が高く、高開口率でなおかつ均一な画像の表示装置を作製することを課題とする。また、同時に、本発明を用いて表示装置を作製することによって、その表示装置を用いた電気器具の品質および信頼性をも向上することを課題とする。

### 【0013】

【課題を解決するための手段】上記第1の課題を解決するためには、平坦性の優れた絶縁膜を用いることが必要である。特開平5-78453号公報及び特開平5-222195号公報等ではスピンドルコート法で形成される平坦性の優れた材料が開示されている。確かに、平坦性を向上させるために、スピンドルコートに用いる溶液を高濃度化することは効果的であるが、材料自体の溶媒に対する高溶解性および容易に均一な塗布ができる粘度が要求されるため、高濃度化には限界がある。

【0014】また前記平坦化率の高い材料を2層以上積層させることでより高い平坦化率を実現ができるることは明白である。即ち、平坦化膜を厚く形成すればするほど平坦化率は高くなる。しかしながら、スルーホール形成時における平坦化膜のエッチングプロセスは容易で生産性が高くなればならないため、平坦化膜の膜厚を厚く形成することにも限界がある。

【0015】そこで本発明者らは、平坦化膜の膜厚を厚くすることなく平坦化率の高い平坦化膜を積層する方法について研究を進めた結果、平坦化率の向上について有効な結果が得られた。その根拠となる実験結果を図5、6に示す。

20

【0016】まず実験サンプルは図4のように、ガラス基板400上に厚さ(初期段差 $H_0$ )0.16~0.75μmで幅(Lと表記)5~100μmの線状突起パターンの配線401を一定間隔(Pと表記)10~400μmで形成した。線状突起パターンは評価しやすいように5本ずつの組でPとLの多数の組み合わせを同一基板内に配置した。

10

【0017】次に前記配線401上に第一平坦化膜402をスピンドルコート法により形成した。続いて同様に、前記第一平坦化膜402上に第二平坦化膜403を形成した。平坦性の評価手段として、平坦化率を用いた。この平坦化率は、平坦化膜形成前の初期段差 $H_0$ と前記平坦化膜形成後の段差 $h$ を次の式(1)にあてはめることにより求めた。平坦化率は、1に近づくほどより平坦性が高い。

【0018】

【数1】

$$1 - (h/H_0) \dots \dots \dots (1)$$

$H_0$  : 初期段差  $h$  : 平坦化膜形成後の段差

30

【0019】また段差の計測には、触針式表面形状検査装置DEKTAK<sup>ST</sup>(日本真空技術株式会社製)を使用し、スキャン速度は10μm/secとした。なお、本実験で用いられた平坦化膜はアクリル樹脂(SS6699/0699、JSR製)である。前記平坦化膜の膜厚は、初期段差 $H_0=0$ のときの基板上に形成される平坦化膜の膜厚とする。

40

【0020】まず、前記膜厚 $T_1$ と平坦化率との関係を図5に示す。平坦化膜の膜厚 $T_1$ が増加するとともに平坦化率も増加している。前記膜厚 $T_1$ の増加に伴う前記平坦化率の増加傾向は、PもしくはL(図示しない)の値にはよらない。ここで膜厚 $T_1$ を積層する場合を考える。平坦化率(R)は段差によらず一定であるので、膜厚 $T_1$ を積層した後の平坦化率について次式(2)が成り立つ。

【0021】

【数2】

$$1 - (1 - R)^n \dots \dots \dots (2)$$

R : 平坦化率 n : 積層回数

50

【0022】nは、積層回数とする。例えば $T_1=0.5\mu m$ での平坦化率( $L/P=25/45\mu m$ )は0.5であり、式(2)によると、2層での平坦化率は0.75、3層での平坦化率は0.875となることが予想される。しかしながら、 $T_1=1.0\mu m$ 、 $T_1=1.5\mu m$ での平坦化率はそれぞれ0.67、0.76であり、同じ膜厚を形成する場合、単層で形成するより積層した方が明らかに平坦化率が高いことがわかる。即ち、

平坦化膜を1度で形成するよりも、複数回に分けて形成する方が平坦化率は向上する。

【0023】次に、平坦化率の向上および生産性を考慮し現実的に2回の平坦化膜形成を行う場合を考える。2回の平坦化膜形成について、図4に示す第一平坦化膜402の膜厚および第二平坦化膜403の膜厚をそれぞれT<sub>1</sub>、T<sub>2</sub>とする。ここでT<sub>1</sub>+T<sub>2</sub>=1.5μmとしたときのT<sub>2</sub>/T<sub>1</sub>と平坦化率との関係を図6に示す。この結果から、T<sub>2</sub>/T<sub>1</sub>が大きい方が、平坦化率が向上する傾向があることがわかった。即ちT<sub>1</sub>+T<sub>2</sub>が一定である場合、第一平坦化膜402の膜厚T<sub>1</sub>を第二平坦化膜403の膜厚T<sub>2</sub>よりも薄く形成することにより、より高い平坦化率を実現できる。

【0024】これは、ある範囲のT<sub>1</sub>では、第一平坦化膜402によって段差はなだらかな形状となり、通常矩形の段差形状の場合よりも第二平坦化膜403の平坦化率が向上するため、平坦化率に差が生じると考えられる。

【0025】ただし、1層のみでは平坦化率は低いことからもわかるように、限りなくT<sub>1</sub>を薄くT<sub>2</sub>を厚くする、即ちT<sub>2</sub>/T<sub>1</sub>を限りなく大きくしていくと再び平坦化率は低下することが予想される。

【0026】しかしながら、膜厚については限りなく薄くしたり厚くしたりすることは容易ではない。現実的には、平坦化膜は塗布むらの発生しない均一性のよい膜厚でなければならないことを考慮すると、スピン塗布によって得られる膜厚には下限があり、0.1μm程度である。さらに、形成後にウェットまたはドライエッティングによりスルーホールを無理なく形成できる膜厚の上限としても3.0μm程度である。

【0027】図6における前記傾向は、T<sub>1</sub>が塗布むらの発生しない均一性のよい膜厚である範囲内では成り立つものである。即ち、T<sub>1</sub>+T<sub>2</sub>が一定である場合、T<sub>1</sub>+T<sub>2</sub>は0.2μm以上3.0μm以下であり、T<sub>1</sub>は0.1μm以上1.5μm未満、T<sub>2</sub>は0.1μm以上2.9μm以下の範囲で形成される。

【0028】前記傾向を利用したアクティブマトリクス基板の平坦化断面を図1に示す。まず、図2の従来例と同様にTFTを形成する。次に、第一平坦化膜109を0.5μmの厚さで形成する。次に前記第一平坦化膜109上に1.0μmの厚さで第二平坦化膜110を形成する。

【0029】このとき第一平坦化膜もしくは第二平坦化膜としては、ポリイミド樹脂、アクリル樹脂、シリコン構造を含む樹脂もしくは無機SOG材料を用いることができる。ここで無機SOG材料とは、無機材料からなり、かつスピンコート可能な材料であって、具体的にはPSG(Phosphosilicate Glass)、BSG(Borosilicate Glass)、BPSG(Borophosphosilicate Glass)が挙げられる。

【0030】こうして1.5μmの厚さの平坦化膜をT<sub>1</sub>に0.5μm、T<sub>2</sub>に1.0μmというように、T<sub>2</sub>/T<sub>1</sub>が大きくなるように膜厚を配分して分割形成することにより、さらに高い平坦化率を実現できる。

【0031】このようにして得られた平坦面では、配線の断線および凹凸による液晶の配向不良は生じにくく、遮光パターンによる開口率の低下させることもない。また、反射型液晶表示装置においては、表面凹凸が小さくなるため反射率は向上する。本発明を用いることで、飛躍的に平坦化率が向上し上記第1の要件～第3の要件が全て満たされることを見いだした。

#### 【0032】

【発明の実施の形態】本発明による、平坦化膜の構造を実施した液晶表示装置の作製プロセスについて図を用いて説明していく。

#### 【0033】

【実施例】【実施例1】本発明の実施例について図7～図9を用いて説明する。ここでは、アクティブマトリクス基板の作製方法、特に画素部を作製する方法について説明する。画素部は、画素に設けられたTFTである画素TFT領域と、TFT領域を含まない表示領域とからなる。

【0034】図7(A)において、基板700には、ガラス基板や石英基板を使用することができる。その他にもシリコン基板、金属基板またはステンレス基板の表面に絶縁膜を形成したものを基板としても良い。耐熱性が許せばプラスチック基板を用いることも可能である。

【0035】そして、基板700のTFTが形成される表面には、珪素(シリコン)を含む絶縁膜からなる下地膜701を形成する。本実施例では、下地膜701として、200nm厚の空化酸化シリコン膜を形成した。

【0036】次に、連続して下地膜701の上に20～100nmの厚さの、非晶質半導体膜(本実施例では非晶質シリコン膜(アモルファスシリコン膜))702を公知の成膜法で形成する。なお、非晶質半導体膜としては、非晶質シリコン膜以外にも、非晶質シリコンゲルマニウム膜などの非晶質の化合物半導体膜を用いることができる。

【0037】そして、特開平7-130652号公報(USP5,643,826号に対応)に記載された技術に従って結晶構造を含む半導体膜(本実施例では結晶質シリコン膜)703を形成する。同公報記載の技術は、非晶質シリコン膜の結晶化に際して、結晶化を助長する触媒元素(ニッケル、コバルト、ゲルマニウム、錫、鉛、パラジウム、鉄、銅から選ばれた一種または複数の元素、代表的にはニッケル)を用いる結晶化手段である。

【0038】具体的には、非晶質シリコン膜表面に触媒元素を保持させた状態で加熱処理を行い、非晶質シリコン膜を結晶質シリコン膜に変化させるものである。本実

施例では同公報の実施例1に記載された技術を用いるが、実施例2に記載された技術を用いてもよい。なお、結晶質シリコン膜にはいわゆる単結晶シリコン膜も多結晶シリコン膜も含まれるが、本実施例で形成される結晶質シリコン膜は結晶粒界を有するシリコン膜である。

【0039】非晶質シリコン膜は含有水素量にもよるが、好ましくは400～550℃で数時間加熱して脱水素処理を行い、含有水素量を5atom%以下として結晶化の工程を行うことが望ましい。また、非晶質シリコン膜をスパッタ法や蒸着法などの他の作製法で形成しても良いが、膜中に含まれる酸素、窒素などの不純物元素を十分に低減させておくことが望ましい。

【0040】次に、非晶質シリコン膜702に対して公知の技術を使って結晶質シリコン膜（ポリシリコン膜又は多結晶シリコン膜）703を形成する（図7(B)）。

本実施例では、非晶質シリコン膜702に対してレーザーから発する光（レーザー光）を照射して結晶質シリコン膜703を形成した。レーザーとしては、パルス発振型または連続発振型のエキシマレーザーを用いれば良いが、連続発振型のアルゴンレーザーでも良い。またはNd:YAGレーザーもしくはNd:YVO<sub>4</sub>レーザーの第2高調波、第3高調波または第4高調波を用いても良い。さらに、レーザー光のビーム形状は線状（長方形状も含む）であっても矩形状であっても構わない。

【0041】また、レーザー光の代わりにランプから発する光（ランプ光）を照射（以下、ランプアニールという）しても良い。ランプ光としては、ハロゲンランプ、赤外ランプ等から発するランプ光を用いることができる。

【0042】なお、このようにレーザー光またはランプ光により熱処理（アニール）を施す工程を光アニール工程という。光アニール工程は短時間で高温熱処理が行えるため、ガラス基板等の耐熱性の低い基板を用いる場合にも効果的な熱処理工程を高いスループットで行うことができる。勿論、目的はアニールであるので電熱炉を用いたファーネスアニール（熱アニールともいう）で代用することもできる。

【0043】本実施例では、パルス発振型エキシマレーザー光を線状に加工してレーザーアニール工程を行う。レーザーアニール条件は、励起ガスとしてXeClガスを用い、処理温度を室温、パルス発振周波数を30Hzとし、レーザーエネルギー密度を250～500mJ/cm<sup>2</sup>（代表的には350～400mJ/cm<sup>2</sup>）とする。

【0044】上記条件で行われるレーザーアニール工程は、熱結晶化後に残存した非晶質領域を完全に結晶化すると共に、既に結晶化された結晶質領域の欠陥等を低減する効果を有する。そのため、本工程は光アニールにより半導体膜の結晶性を改善する工程、または半導体膜の結晶化を助長する工程と呼ぶこともできる。このような

効果はランプアニールの条件を最適化することによっても得ることが可能である。

【0045】次に、結晶質シリコン膜703上に後の不純物添加時のために保護膜704を形成する。保護膜704は100～200nm（好ましくは130～170nm）の厚さの窒化酸化シリコン膜または酸化シリコン膜を用いる。この保護膜704は不純物添加時に結晶質シリコン膜703が直接プラズマに曝されないようにするためと、微妙な濃度制御を可能にするための意味がある。

【0046】統いて、保護膜704を介してp型を付与する不純物元素（以下、p型不純物元素という）を添加する。p型不純物元素としては、代表的には周期表の13族に属する元素、典型的にはボロンまたはガリウムを用いることができる。この工程（チャネルドープ工程という）はTFTのしきい値電圧を制御するための工程である。なお、ここではジボラン（B<sub>2</sub>H<sub>6</sub>）を質量分離しないでプラズマ励起したイオンドープ法でボロンを添加した。勿論、質量分離を行いうイオンインプランテーション法を用いても良い。

【0047】この工程により $1 \times 10^{15} \sim 1 \times 10^{18}$ atoms/cm<sup>2</sup>（代表的には $5 \times 10^{16} \sim 5 \times 10^{17}$ atoms/cm<sup>2</sup>）の濃度でp型不純物元素（本実施例ではボロン）を含む不純物領域705を形成する。なお、本明細書中では少なくとも上記濃度範囲でp型不純物元素を含む不純物領域をp型不純物領域（b）と定義する。（図7(C)）

【0048】次に、保護膜704を除去した後、結晶質シリコン膜の不要な部分を除去して、島状の半導体膜（以下、活性層という）705を形成する。（図7(D)）

【0049】次に、活性層705を覆ってゲート絶縁膜706を形成した。ゲート絶縁膜706は、10～200nm、好ましくは50～150nmの厚さに形成すれば良い。本実施例では、プラズマCVD法でN<sub>2</sub>OとSiH<sub>4</sub>を原料とした窒化酸化シリコン膜を115nmの厚さに形成する。（図7(E)）

【0050】次に、ゲート配線707として、図示しないが厚さ50nmの窒化タンクステン（WN）と厚さ350nmのタンタル（Ta）との2層の積層膜を形成する（図7(F)）。ゲート配線は単層の導電膜で形成してもよいが、必要に応じて2層、3層といった積層膜とすることが好ましい。

【0051】また、本実施例では図7(F)に示すように、ダブルゲートとしている。ゲートのリーク対策としてマルチゲート方式を採用することは有効である。なお、ゲート配線としては、タンタル（Ta）、チタン（Ti）、モリブデン（Mo）、タンクステン（W）、クロム（Cr）、シリコン（Si）から選ばれた元素、または前記元素を組み合わせた合金膜（代表的にはMo

-W合金、Mo-Ta合金)を用いることができる。

【0052】次に、ゲート配線707をマスクとして自己整合的にn型不純物元素(本実施例ではリン)を添加する。こうして形成された不純物領域708には前述のチャネルドープ工程で添加されたボロン濃度よりも5~10倍高い濃度(代表的には $1 \times 10^{16} \sim 5 \times 10^{16}$ atoms/cm<sup>3</sup>、典型的には $3 \times 10^{17} \sim 3 \times 10^{18}$ atoms/cm<sup>3</sup>)でリンが添加されるように調節する。なお、本明細書中では上記濃度範囲でn型不純物元素を含む不純物領域をn型不純物領域(c)と定義する。(図7(G))

【0053】なお、前述のp型不純物領域(b)705には既にチャネルドープ工程で $1 \times 10^{15} \sim 1 \times 10^{16}$ atoms/cm<sup>3</sup>の濃度のボロンが添加されているが、この工程ではp型不純物領域(b)705に含まれるボロンの5~10倍の濃度でリンが添加されるので、この場合もボロンはp型不純物領域(b)の機能には影響を与えないと考えて良い。

【0054】次に、ゲート配線707をマスクとして自己整合的にゲート絶縁膜706をエッティングする。エッティングはドライエッティング法を用い、エッティングガスとしてはCH<sub>2</sub>F<sub>2</sub>ガスを用いる。但し、エッティングガスはこれに限定する必要はない。こうしてゲート配線下にゲート絶縁膜709が形成される。(図8(A))

【0055】このように活性層を露呈させることによって、次に不純物元素の添加工程を行う際に加速電圧を低くすることができる。そのため、必要なドーズ量が少なくて済むのでスループットが向上する。勿論、ゲート絶縁膜をエッティングしないで残し、スルードーピングによって不純物領域を形成しても良い。

【0056】次に、ゲート配線を覆う形でレジストマスク710を形成し、n型不純物元素(本実施例ではリン)を添加して高濃度にリンを含む不純物領域711を形成する。ここでも、フォスフィン(PH<sub>3</sub>)を用いたイオンドープ法(勿論、イオンインプランテーション法でも良い)で行い、この領域のリンの濃度は $1 \times 10^{19} \sim 1 \times 10^{21}$ atoms/cm<sup>3</sup>(代表的には $2 \times 10^{19} \sim 5 \times 10^{20}$ atoms/cm<sup>3</sup>)とする。(図8(B))

【0057】なお、本明細書中では上記濃度範囲でn型不純物元素を含む不純物領域をn型不純物領域(a)と定義する。また、不純物領域711が形成された領域には既に前工程で添加されたリンまたはボロンが含まれるが、十分に高い濃度でリンが添加されることになるので、前工程で添加されたリンまたはボロンの影響は考えなくて良い。従って、本明細書中では不純物領域711はn型不純物領域(a)と言い換えても構わない。

【0058】次に、レジストマスク710を除去した後、第1層間絶縁膜713を形成する。第1層間絶縁膜713としては、シリコンを含む絶縁膜、具体的には窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜またはそれらを組み合わせた積層膜で形成すれば良い。ま

た、膜厚は600nm~1.5μmとすれば良い。本実施例では、プラズマCVD法でSiH<sub>4</sub>、N<sub>2</sub>O、NH<sub>3</sub>を原料ガスとし、1μm厚の窒化酸化シリコン膜(但し窒素濃度が25~50atomic%)を用いる。

【0059】その後、それぞれの濃度で添加されたn型またはp型不純物元素を活性化するために熱処理工程を行う。この工程はファーネスアニール法、レーザーハニール法、またはラピッドサーマルアニール法(RTA法)で行うことができる。ここではファーネスアニール法で活性化工程を行う。加熱処理は、窒素雰囲気中において300~650℃、好ましくは400~550℃、ここでは550℃、4時間の熱処理を行う(図8(C))。

【0060】この時、本実施例において非晶質シリコン膜の結晶化に用いた触媒元素(本実施例ではニッケル)が、矢印で示す方向に移動して、前述の図8(B)の工程で形成された高濃度にリンを含む領域711に捕獲(ゲッタリング)される。これはリンによる金属元素のゲッタリング効果に起因する現象であり、この結果、後のチャネル形成領域712は前記触媒元素の濃度が $1 \times 10^{17}$ atoms/cm<sup>3</sup>以下(好ましくは $1 \times 10^{16}$ atoms/cm<sup>3</sup>以下)となる。

【0061】また逆に触媒元素のゲッタリングサイトとなった領域(図8(B)の工程で形成された不純物領域711)は高濃度に触媒元素が偏析して $5 \times 10^{18}$ atoms/cm<sup>3</sup>以上(代表的には $1 \times 10^{19} \sim 5 \times 10^{19}$ atoms/cm<sup>3</sup>)の濃度で存在するようになる。

【0062】さらに、3~100%の水素を含む雰囲気中で、300~450℃で1~12時間の熱処理を行い、活性層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0063】その後、TFTのソース領域及びドレン領域に達するスルーホール714、715を形成し(図8(D))、ソース配線716とドレン配線717を形成する(図8(E))。また、図示していないが、本実施例ではこの配線を、Ti膜を100nm、Tiを含むアルミニウム膜300nm、Ti膜150nmをスペッタ法で連続して形成した3層構造の積層膜とする。

【0064】次に、パッシベーション膜718として、窒化シリコン膜、酸化シリコン膜、または窒化酸化シリコン膜で50~500nm(代表的には200~300nm)の厚さで形成する。この時、本実施例では膜の形成に先立ってH<sub>2</sub>、NH<sub>3</sub>等水素を含むガスを用いてプラズマ処理を行い、成膜後に熱処理を行う。この前処理により励起された水素が第1層間絶縁膜中に供給される。この状態で熱処理を行うことで、パッシベーション膜718の膜質を改善するとともに、第1層間絶縁膜中に添

加された水素が下方側に拡散するため、効果的に活性層を水素化することができる。（図9（A））

【0065】また、パッシベーション膜718を形成した後に、さらに水素化工程を行っても良い。例えば、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行うと良く、あるいはプラズマ水素化法を用いても同様の効果が得られる。なお、ここで後に画素電極とドレイン配線717を接続するためのスルーホール721を形成する位置において、パッシベーション膜718に開口部を形成しておいても良い。

【0066】次に、パッシベーション膜718上に第2層間絶縁膜として第一平坦化膜719をスピンドルコート法により塗布し、オーブンにて250℃1hrの焼成を行い、0.5μmの厚さに形成する。第一平坦化膜719としては、ポリイミド樹脂、アクリル樹脂、シロキサン構造を含む樹脂、もしくは無機SOG材料を用いることができる。本実施例では、アクリル樹脂を用いる。アクリル樹脂は、低誘電率であり、平坦性に優れ、透明性が高くかつ安価であることから、液晶表示装置によく用いられている。

【0067】さらに、第一平坦化膜719上に第二平坦化膜720として、前記アクリル樹脂をスピンドルコート法により塗布し、オーブンにて250℃1hrの焼成を行い、1.0μmの厚さに形成する。第一平坦化膜719が0.5μmおよび第二平坦化膜720が1.0μm形成され、第2層間絶縁膜としては1.5μmの膜厚となる。上記膜厚で2層の平坦化膜を形成することにより、単層で形成するよりも高い平坦性が実現する。

【0068】次に、第二平坦化膜720、第一平坦化膜719及びパッシベーション膜718にドレイン配線717に達するスルーホール721を形成する。スルーホール721の形成は、レジストパターンを形成しドライエッキングによって形成すればよく、また感光性の平坦化膜を用いてスルーホール721を形成することも可能である。

【0069】さらに画素電極722を形成する。画素電極722は、透過型液晶表示装置とする場合には透明導電膜を用い、反射型の液晶表示装置とする場合には金属膜を用いれば良い。ここでは透過型の液晶表示装置とするために、酸化インジウムと酸化スズとの化合物からなる酸化物導電膜（ITO膜）を110nmの厚さにスパッタ法で形成する。

【0070】こうして画素部には、nチャネル型TFTでなる画素TFT領域727および表示領域728が形成され、配線による段差が低減された平坦な画素電極表面を得られる。

【0071】【実施例2】本実施例では、実施例1とは異なる構造で画素TFTを作製する場合について、説明する。なお、実施例1とは途中の工程が異なるだけでその他は同様であるので、同じ工程については同一の符号

を用いることとする。

【0072】まず実施例1の工程に従って、パッシベーション膜718までを形成する。そして、第一平坦化膜719を0.3μmの厚さに形成する（図9（A））。さらに、第一平坦化膜719上に第二平坦化膜720を1.2μmの厚さに形成する。第一平坦化膜719および第二平坦化膜720としては、ポリイミド樹脂、アクリル樹脂、シロキサン構造を含む樹脂、もしくは無機SOG材料を用いることができる。本実施例では、アクリル樹脂を用いる。

【0073】第一平坦化膜719が0.3μmおよび第二平坦化膜720が1.2μm形成され、第2層間絶縁膜としては1.5μmの膜厚となる。上記膜厚で2層の平坦化膜を形成することにより、実施例1で形成されるよりもさらに高い平坦性が実現すると推測される。

【0074】この後は、実施例1の工程に従って図9（B）以降の工程に従えばよい。こうして画素部には、nチャネル型TFTでなる画素TFT領域727および表示領域728が形成され、配線による段差がさらに低減された平坦な画素電極表面を得られる。

【0075】【実施例3】本実施例では、実施例1もしくは実施例2で作製したアクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を説明する。図10に示すように、図9（C）の状態の基板に対し、配向膜1001を形成する。本実施例では配向膜としてポリイミド膜を用いた。また、対向基板1002には、対向電極1003と、配向膜1004とを形成する。なお、対向基板には必要に応じてカラーフィルターや遮蔽膜を形成しても良い。

【0076】次に、配向膜を形成した後、ラビング処理を施して液晶分子がある一定のプレチルト角を持って配向するようとする。そして、画素部と、駆動回路が形成されたアクティブマトリクス基板と対向基板とを、公知のセル組み工程によってシール材やスペーサ（共に図示せず）などを介して貼りあわせる。その後、両基板の間に液晶1005を注入し、封止剤（図示せず）によって完全に封止する。液晶には公知の液晶材料を用いれば良い。このようにして図10に示すアクティブマトリクス型液晶表示装置が完成する。

【0077】次に、このアクティブマトリクス型液晶表示装置の構成を、図11の斜視図を用いて説明する。尚、図11は、図7～図9の断面構造図と対応付けるため、共通の符号を用いている。アクティブマトリクス基板は、ガラス基板700上に形成された、画素部1006と、ゲート信号駆動回路1007と、画像（ソース）信号駆動回路1008で構成される。画素TFT領域727はnチャネル型TFTであり、周辺に設けられる駆動回路はCMOS回路を基本として構成されている。ゲート信号駆動回路1007と、画像信号駆動回路1008はそれぞれゲート配線707とソース配線716で画

素部 1006 に接続されている。また、FPC 1009 が接続された外部入出力端子 1010 から駆動回路の入出力端子までの接続配線 1011、1012 が設けられている。

【0078】[実施例4] 本実施例では、本発明を用いてEL (Electro Luminescence; エレクトロルミネンス) 表示装置を作製した例について説明する。ELとは、電場を加えることで発生するルミネッセンスが得られる有機化合物を含む層(EL素子)を光源とする発光装置である。有機化合物におけるELには、一重項励起状態から基底状態に戻る際の発光(蛍光)と三重項励起状態から基底状態に戻る際の発光(リン光)がある。なお、図12は本発明のEL表示装置の上面図であり、図13はその断面図である。

【0079】図12、13において、4001は基板、4002は画素部、4003はソース側駆動回路、4004はゲート側駆動回路であり、それぞれの駆動回路は配線4005を経てFPC(フレキシブルプリントサーキット)4006に至り、外部機器へと接続される。

【0080】このとき、画素部4002、ソース側駆動回路4003及びゲート側駆動回路4004を囲むようにして第1シール材4101、カバー材4102、充填材4103及び第2シール材4104が設けられている。

【0081】また、図13は、図12をA-A'で切断した断面図に相当し、基板4001の上にソース側駆動回路4003に含まれる駆動TFT(但し、ここではnチャネル型TFTとpチャネル型TFTを図示している。)4201及び画素部4002に含まれる画素TFT(但し、ここではEL素子への電流を制御するTFTを図示している。)4202が形成されている。

【0082】本実施例では、本発明の平坦化構造を用いて画素TFT4202が作製される。すなわち、画素TFT4202には図9(C)の画素部と同じ構造のTFTが用いられる。

【0083】駆動TFT4201及び画素TFT4202の上には本発明による樹脂材料でなる層間絶縁膜(平坦化膜)4301が形成され、その上に画素TFT4202のドレインと電気的に接続する画素電極(陽極)4302が形成される。画素電極4302としては仕事関数の大きい透明導電膜が用いられる。透明導電膜としては、酸化インジウムと酸化スズとの化合物または酸化インジウムと酸化亜鉛との化合物を用いることができる。

【0084】そして、画素電極4302の上には絶縁膜4303が形成され、絶縁膜4303は画素電極4302の上に開口部が形成されている。この開口部において、画素電極4302の上にはEL層4304が形成される。EL層4304は公知の有機EL材料または無機EL材料を用いることができる。また、有機EL材料には低分子系(モノマー系)材料と高分子系(ポリマー

系)材料があるがどちらを用いても良い。

【0085】EL層4304の形成方法は公知の技術を用いれば良い。また、EL層の構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を自由に組み合わせて積層構造または単層構造とすれば良い。

【0086】EL層4304の上には遮光性を有する導電膜(代表的にはアルミニウム、銅もしくは銀を主成分とする導電膜またはそれらと他の導電膜との積層膜)からなる陰極4305が形成される。また、陰極4305とEL層4304の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中で両者を連続成膜するか、EL層4304を窒素または希ガス雰囲気で形成し、酸素や水分に触れさせないまま陰極4305を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式(クラスター・ツール方式)の成膜装置を用いることで上述のような成膜を可能とする。

【0087】そして陰極4305は4306で示される領域において配線4005に電気的に接続される。配線4005は陰極4305に所定の電圧を与えるための配線であり、導電性材料4307を介してFPC4006に電気的に接続される。

【0088】以上のようにして、画素電極(陽極)4302、EL層4304及び陰極4305からなるEL素子が形成される。このEL素子は、第1シール材4101及び第2シール材4101によって基板4001に貼り合わされたカバー材4102で囲まれ、充填材4103により封入されている。

【0089】カバー材4102としては、ガラス板、金属板(代表的にはステンレス板)、セラミックス板、FRP(Fiberglass-Reinforced Plastics)板、PVF(ポリビニルフルオライド)フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることもできる。

【0090】但し、EL素子からの光の放射方向がカバー材側に向かう場合にはカバー材は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透明物質を用いる。

【0091】また、充填材4103としては紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC(ポリビニルクロライド)、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB(ポリビニルブチラル)またはEVA(エチレンビニルアセテート)を用いることができる。この充填材4103の内部に吸湿性物質(好ましくは酸化バリウム)を設けておくとEL素子の劣化を抑制できる。

【0092】また、充填材4103の中にスペーサーを含むさせてもよい。このとき、スペーサーを酸化バリウムで

形成すればスペーサ自体に吸湿性をもたせることが可能である。また、スペーサを設けた場合、スペーサからの圧力を緩和するバッファ層として陽極4305上に樹脂膜を設けることも有効である。

【0093】また、配線4005は導電性材料4307を介してFPC4006に電気的に接続される。配線4005は画素部4002、ソース側駆動回路4003及びゲート側駆動回路4004に送られる信号をFPC4006に伝え、FPC4006により外部機器と電気的に接続される。

【0094】また、本実施例では第1シール材4101の露呈部及びFPC4006の一部を覆うように第2シール材4104を設け、EL素子を徹底的に外気から遮断する構造となっている。こうして図13の断面構造を有するEL表示装置となる。なお、本実施例のEL表示装置は実施例1もしくは実施例2の構成と組み合わせて作製しても構わない。

【0095】【実施例5】本発明は、段差を平坦化するプロセス（工程）に対して実施することが可能である。実施例3のような液晶表示装置もしくは実施例4のEL表示装置を作製する場合だけでなく、そのような工程を含む電気光学装置の作製技術に対して実施することが可能である。ここで電気光学装置は、表示装置、イメージセンサもしくはIC（集積回路）を含む。

【0096】表示装置として具体的には液晶表示装置をはじめとして、EL表示装置、EC（エレクトロクロミクス）表示装置、FED（フィールドエミッションディスプレイ）が挙げられる。

【0097】イメージセンサとして具体的には、CCD（charge coupled device）イメージセンサ、MOSイメージセンサ、CPD（charge priming device）イメージセンサなどが挙げられる。さらにSRAM（スタティックRAM）、DRAM（ダイナミックRAM）、不揮発性MOSメモリ等のICを作製する際にも本発明は実施できる。

【0098】【実施例6】本発明を用いて作製した表示装置は電気器具の表示部として用いることができる。そのような電気器具としては、ビデオカメラ、デジタルカメラ、プロジェクター、プロジェクションTV、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置、ノート型パソコン、携帯コンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置などが挙げられる。それら電気器具の具体例を図14に示す。

【0099】図14（A）は携帯電話であり、本体201、音声出力部2002、音声入力部2003、表示部2004、操作スイッチ2005、アンテナ2006で構成される。本発明の電子装置は表示部2004に用

いることができる。

【0100】図14（B）はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106で構成される。本発明の電子装置は表示部2102に用いることができる。

【0101】図14（C）はモバイルコンピュータ（モービルコンピュータ）であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示部2205で構成される。本発明の電子装置は表示部2205に用いることができる。

【0102】図14（D）はゴーグル型ディスプレイであり、本体2301、表示部2302、アーム部2303で構成される。本発明の電子装置は表示部2302に用いることができる。

【0103】図14（E）はリアプロジェクター（プロジェクションTV）であり、本体2401、光源2402、表示装置2403、偏光ビームスプリッタ2404、リフレクター2405、2406、スクリーン2407で構成される。本発明は表示装置2403に用いることができる。

【0104】図14（F）はフロントプロジェクターであり、本体2501、光源2502、表示装置2503、光学系2504、スクリーン2505で構成される。本発明は表示装置2503に用いることができる。

【0105】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電気器具に適用することができる。また、本実施例の電気器具は実施例1～5のどのような組み合わせからなる構成を用いても実現することができる。

#### 【0106】

**【発明の効果】**本発明を用いてアクティブマトリクス基板を作製すると、従来の層間絶縁膜の膜厚を厚くすることなく配線の段差をより平坦化することができる。このため、平坦化膜の上に形成された配線の断線を防止でき、配線の信頼性を向上させることができる。また液晶の配向不良の発生を低減できるため、表示品位を向上できるとともに遮光パターンによって開口率を犠牲にする必要もなくなる。

【0107】さらに、本発明を用いた表示装置を作製することによって、前記表示装置を表示部として用いた電気器具の品質および信頼性をも向上させることができると。

#### 【図面の簡単な説明】

【図1】 本発明における平坦化構造のTFT断面図。

【図2】 従来の平坦化構造のTFT断面図。

【図3】 従来の平坦化構造を用いた液晶表示装置の断面図。

【図4】 実験サンプルの断面構造を示す図。

【図5】 膜厚T<sub>1</sub>と平坦化率の関係示すグラフ。

【図6】  $T_1/T_2$  と平坦化率の関係を示すグラフ。

【図7】 実施例1の画素部の作製工程を示す図。

【図8】 実施例1の画素部の作製工程を示す図。

【図9】 実施例1の画素部の作製工程を示す図。

【図10】 アクティブマトリクス型液晶表示装置の断面図。

【図11】 アクティブマトリクス型液晶表示装置の斜視図。

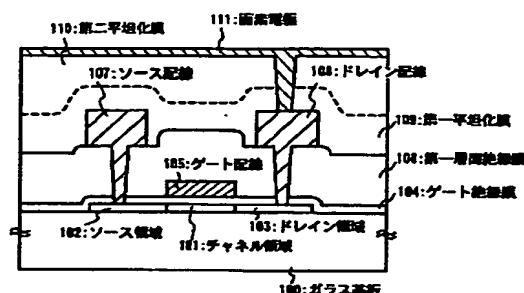
視図。

【図12】 アクティブマトリクス型EL表示装置の構成を示す上面図。

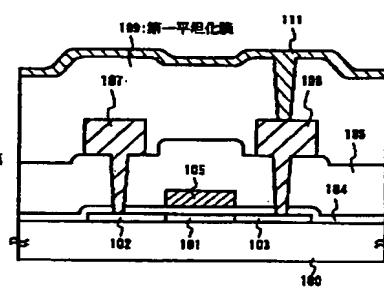
【図13】 アクティブマトリクス型EL表示装置の構成を示す断面図。

【図14】 電気器具の一例を示す図。

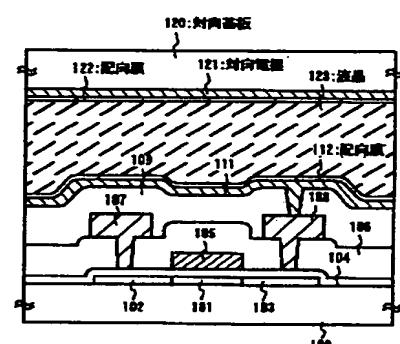
【図1】



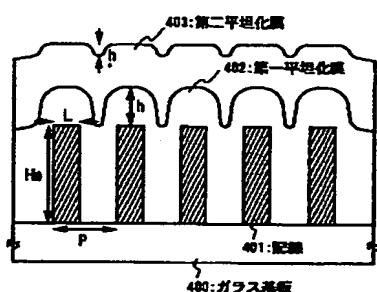
【図2】



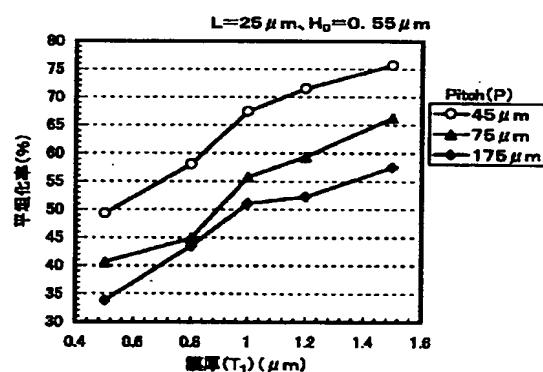
【図3】



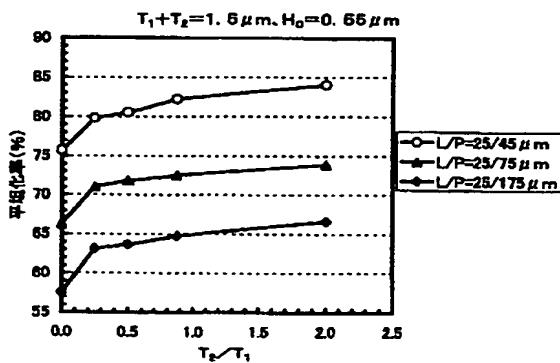
【図4】



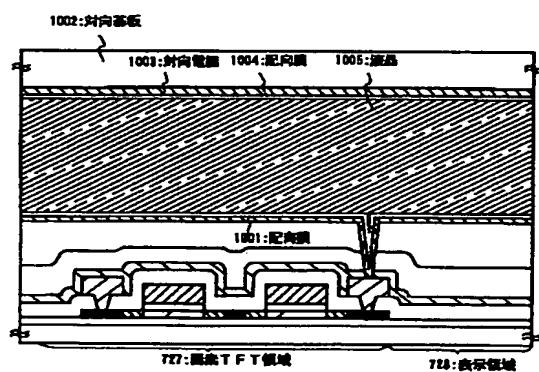
【図5】



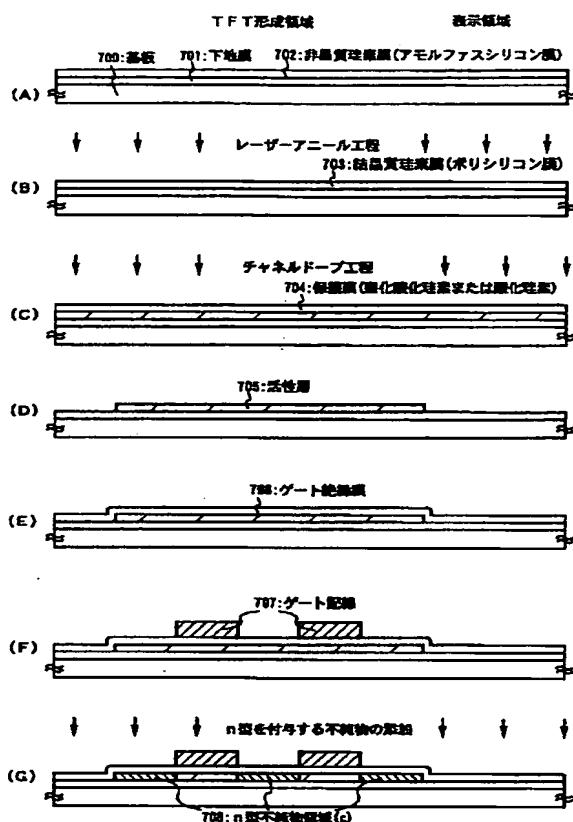
【図6】



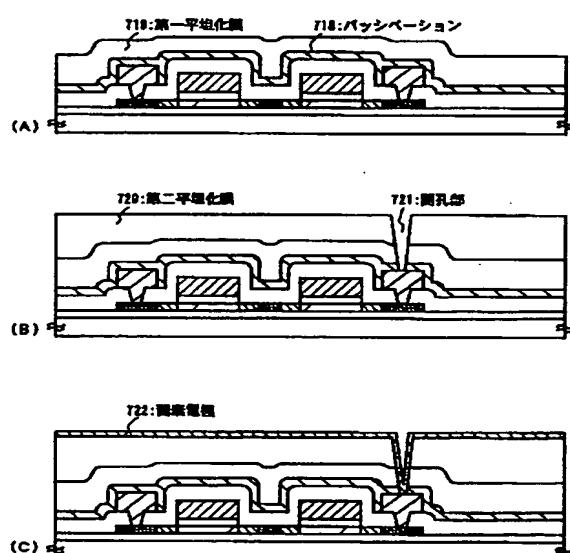
【図10】



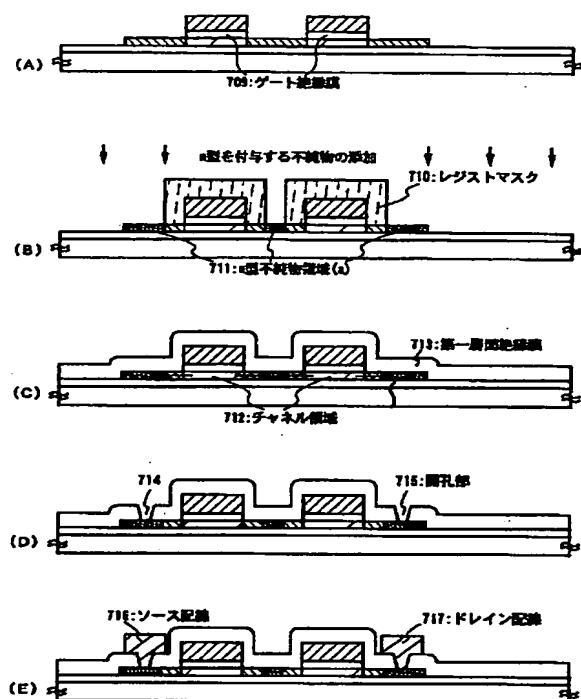
[图 7]



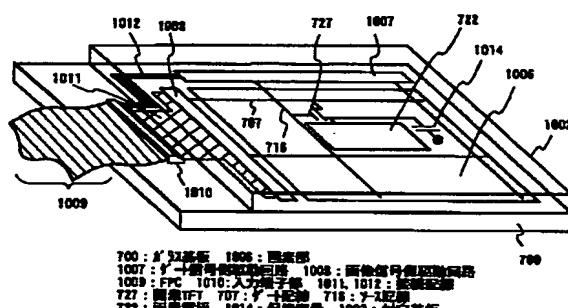
[图9]



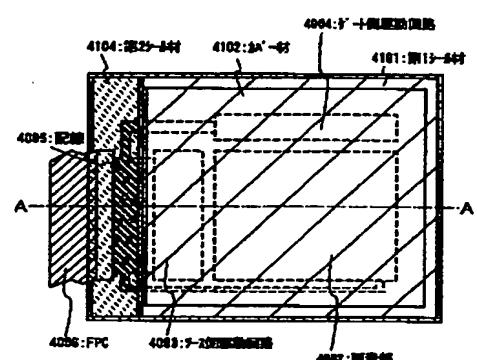
[图8]



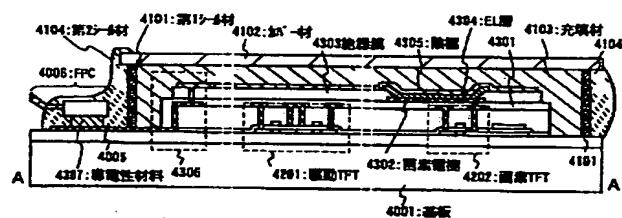
【 1 1】



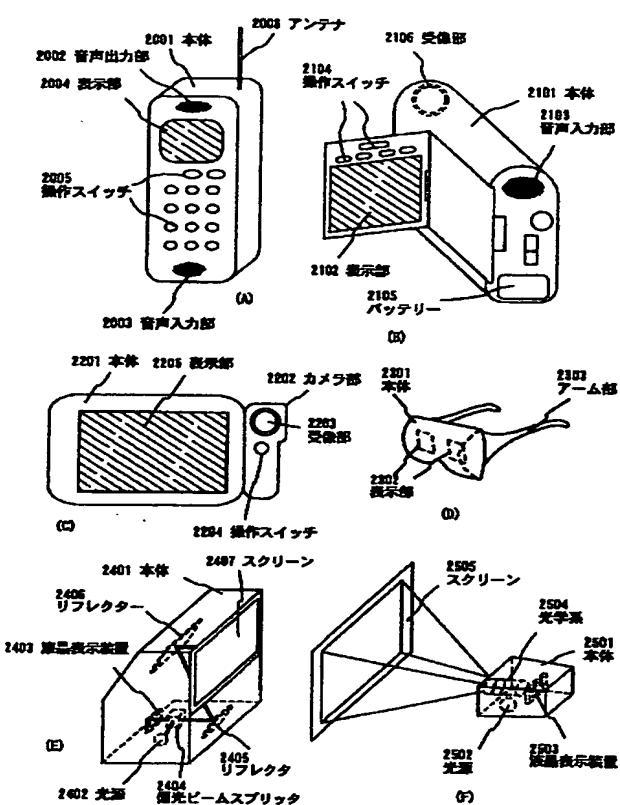
[図12]



【図13】



【図14】



フロントページの続き

(51) Int.CI.<sup>7</sup>

識別記号

H 0 1 L 29/786

F I

H 0 1 L 29/78

テマコード(参考)

6 1 9 A